

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 7 月 21 日 (21.07.2005)

PCT

(10) 国際公開番号  
WO 2005/067134 A1

(51) 国際特許分類: H02P 7/00, 8/00

(21) 国際出願番号: PCT/JP2005/000118

(22) 国際出願日: 2005 年 1 月 7 日 (07.01.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2004-003842 2004 年 1 月 9 日 (09.01.2004) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO.,LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 大尾 光明 (DAIO,

Mitsuaki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 柳島大輝 (YANAGISHIMA, Daiki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

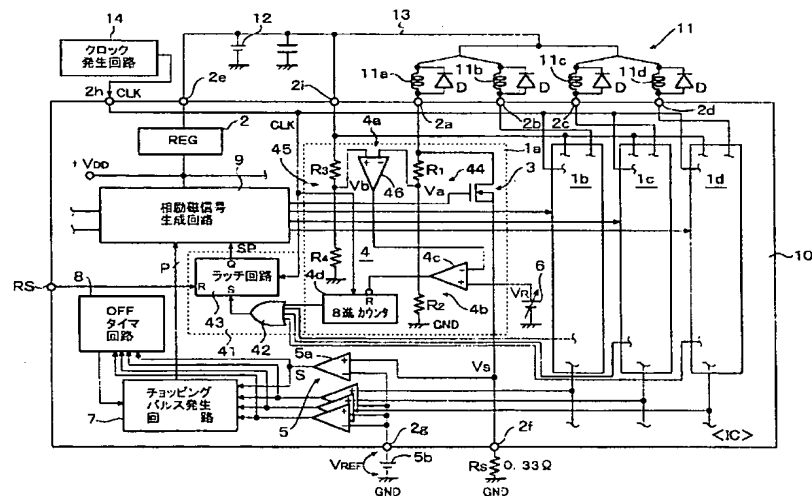
(74) 代理人: 梶山 佑是, 外 (KAJIYAMA, Tsuyoshi et al.); 〒1600023 東京都新宿区西新宿 8-8-1 5-2 0 1 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: POWER TRANSISTOR PROTECTING CIRCUIT OF MOTOR DRIVE CIRCUIT, MOTOR DRIVE CIRCUIT, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: モータドライブ回路のパワートランジスタ保護回路、モータドライブ回路および半導体装置



- 14 CLOCK GENERATOR CIRCUIT
- 9 PHASE EXCITING SIGNAL PRODUCING CIRCUIT
- 43 LATCH CIRCUIT
- 8 OFF TIMER CIRCUIT
- 4d OCTAL COUNTER
- 7 CHOPPING PULSE GENERATOR CIRCUIT

(57) Abstract: A power transistor protecting circuit of a motor drive circuit, a motor drive circuit, or a semiconductor device, wherein when a breaking of wire exists between the output terminal of a power transistor and another end of an exciting coil of a motor, the power transistor can be

[続葉有]



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

prevented from being broken. There are included a terminal open detection circuit, a breaking-of-wire detection circuit and a drive halting circuit. While a power transistor is in an operation of outputting a drive current, it is determined whether there exists an open condition between a terminal, or a line connected thereto, of each exciting coil whose output terminal is not connected to the terminal open detection circuit and an output terminal, or a line connected thereto, which corresponds to each exciting coil. A breaking of wire is detected by detecting an open condition after detecting no open condition.

(57) 要約:

この発明の課題は、パワートランジスタの出力端子からモータの励磁コイルの他端までの間に断線があるときにパワートランジスタが破壊されるのを防止することができるモータドライブ回路のパワートランジスタ保護回路、モータドライブ回路あるいは半導体装置を提供することにある。

端子オープン検出回路と、断線検出回路と、駆動停止回路とを備え、パワートランジスタが駆動電流の出力動作をしているときに端子オープン検出回路が出力端子に接続されていない各励磁コイルの他方の端子あるいはこれが接続されているラインと、各励磁コイルに対応する出力端子あるいはこれが接続されているラインとの間がオープン状態であるか否かを検出し、さらに、オープン状態にないことを検出しかつその後オープン状態であることを検出したことにより断線状態を検出する。

## 明 細 書

モータドライブ回路のパワートランジスタ保護回路、モータドライブ回路および半導体装置

### 技術分野

[0001] この発明は、モータドライブ回路のパワートランジスタ保護回路、モータドライブ回路および半導体装置に関し、詳しくは、ユニポーラ(半波)駆動のステッピングモータドライバにおいて、パワートランジスタの出力端子とモータの励磁コイルとの間が断線状態になっているときにパワートランジスタが破壊されるのを防止することができるようなモータドライブ回路のパワートランジスタ保護回路に関する。

### 背景技術

[0002] ユニポーラ駆動のステッピングモータドライバ(パルスモータドライバ)は、1相駆動、1相-2相駆動あるいは2相駆動等によりモータの固定子側を順次励磁することで、所定の回転角だけ突起形状の回転子を回転させる。

各固定子を励磁するための駆動電流を流すドライバは、電源ラインに接続され固定子に巻かれたコイル(励磁コイル)に対してこれに直列にパワートランジスタ(出力段トランジスタ)が各相對応にそれぞれ設けられている。この各相對応に設けられたパワートランジスタが所定のタイミングでON/OFFされることで、固定子が順次励磁されてステッピングモータがドライブされる。

ある相のパワートランジスタがONすると、その相の励磁コイルのインダクタンスとパワートランジスタ等のインピーダンスにより決定される所定の時定数の過渡現象でON期間の間順次駆動電流が増加していく。この増加量を所定値までに制限するために、パワートランジスタをONさせてから所定の期間後にOFFすることで、パワートランジスタに過電流が流れないように制御される。そのため、パワートランジスタは、通常、ON/OFFする“H”(HIGHレベル)、“L”(LOWレベル)の論理値パルスで各相がチョッピングによるパルス駆動される。

[0003] このようなパルス駆動制御の1つとして、ON期間をタイマ回路で設定して制御するチョップ制御の3相モータドライバとそのIGBTパワートランジスタの保護回路が公知

である(特許文献1)。

特許文献1:特開平11-112313号公報

## 発明の開示

### 発明が解決しようとする課題

- [0004] 前記のようなパワートランジスタの保護回路は、過電流保護回路や電流制限回路が一般的である。しかし、モータ駆動のドライバがIC化されている場合には、出力端子にモータの励磁コイルの端子が接続されることから、出力端子とモータとの接続不良が発生し易い。また、モータ等では回転子があるので励磁コイルの断線等も発生する。

しかも、モータ駆動回路等では、ノイズや駆動状態などによってパワートランジスタの出力端子の1つが瞬間的にオープン状態になることがあって、端子のオープン状態を検出することで断線を検出しようとする誤検出が発生し易く、モータドライブ回路の駆動動作に影響を与えて、実用的なものにはならない。したがって、この種の断線に対する保護回路は見受けられない。

ステッピングモータドライバにおいて、出力端子の1つに接続不良や励磁コイルの断線が発生したときにもモータの駆動は継続される。このとき、オープンとなった端子に接続される励磁コイルに逆起電力が発生しなくなるため、その分、他の励磁コイルに流れる電流が増加してドライバ全体として過負荷状態でモータの駆動が継続される。それによりパワートランジスタが破壊され、しいてはIC自体が破壊されることになる。

この発明の目的は、このような従来技術の問題点を解決するものであり、パワートランジスタの出力端子からモータの励磁コイルの他端までの間に断線があるときにパワートランジスタが破壊されるのを防止することができるモータドライブ回路のパワートランジスタ保護回路、モータドライブ回路あるいは半導体装置を提供することにある。

### 課題を解決するための手段

- [0005] このような目的を達成するための第1の発明のモータドライブ回路のパワートランジスタ保護回路、モータドライブ回路あるいは半導体装置の構成は、出力端子を介してモータの励磁コイルに駆動電流を出力するパワートランジスタを複数の励磁コイルに

対応して複数有するモータドライブ回路におけるパワートランジスタ保護回路において、

端子オープン検出回路と、断線検出回路と、駆動停止回路とを備えるものである。  
そして、端子オープン検出回路は、出力端子に接続されていない各励磁コイルの他方の端子とこの他方の端子が接続されているラインとのいずれかの一方と他方の端子を持つ励磁コイルが接続されている出力端子あるいはこの出力端子が接続されているラインとのいずれかの他方との間に設けられかつ複数のパワートランジスタに対応してそれぞれ設けられパワートランジスタが駆動電流の出力動作をしているときにいずれか一方といずれか他方との間がオープン状態にあるか否かを検出するものであり、

断線検出回路は、端子オープン検出回路がいずれか一方といずれか他方との間がオープン状態でないことを検出しかつその後オープン状態にあることを検出したことにより断線状態のいずれかを検出するものであり、

駆動停止回路は、この断線検出回路により断線状態が検出されたときにモータドライブ回路の駆動動作を停止させるものである。

また、第2の発明は、前記の端子オープン検出回路がパワートランジスタが駆動電流の出力動作をしているときにいずれか一方といずれか他方との間のオープン状態あるいは接続状態を検出するものであり、

前記の断線検出回路が端子オープン検出回路によるオープン状態あるいは接続状態のいずれかの検出に応じて複数回オープン状態が検出されたときに断線状態を検出するものである。

#### 発明の効果

- [0006] このように、第1の発明は、パワートランジスタが駆動電流の出力動作をしているときに端子オープン検出回路が出力端子に接続されていない各励磁コイルの他方の端子あるいはこれが接続されているライン(いずれか一方)と、各励磁コイルに対応する出力端子あるいはこれが接続されているライン(いずれか他方)の間がオープン状態であるか否かを検出する。さらに断線検出として、端子オープン検出回路がオープン状態でないことを検出しかつその後オープン状態であることを検出する。

このように、第1の発明は、端子間がオープン状態にないことを先に検出しておき、その後に端子間がオープン状態にあることを検出することをパワートランジスタが駆動電流の出力動作ごとに行いオープン状態になっていなかった状態からオープン状態になる変化を検出する。また、第1の発明は、端子間がオープン状態にないこととオープン状態にあることとを検出条件とすることで実質的に後の駆動電流の出力時まで端子間のオープン状態が続くか否かを検出する。

一方、第2の発明は、パワートランジスタが駆動電流の出力動作をしているときに端子オープン検出回路がいずれか一方といずれか他方との間のオープン状態あるいは接続状態のいずれかを検出する。そして、断線検出として、端子オープン検出回路によるオープン状態あるいは接続状態のいずれかの検出に応じて複数回オープン状態が検出されたときに断線状態を検出する。

なお、以上の検出では、当然ながら、接続状態にないときにはオープン状態とされ、逆にオープン状態にないときには接続状態とされる。

これら複数の条件で断線状態を判定することで、断線の誤検出がなくなり、モータドライブ回路の駆動動作に影響を与えることなく、確実に断線を検出することができる。そこで、断線時にモータドライブ回路の駆動動作を停止させることができる。

しかも、パワートランジスタが駆動電流の出力動作をしているときに常時オープン状態あるいはオープン状態でないことの検出をし、この検出時には駆動電流がモータのコイルに流れている関係から瞬間的なノイズや駆動状態などの変化に影響され難い。特に、駆動電流の制限電流値に対応する電圧値に近いところでオープン状態にあるか否かを検出するようにすれば、瞬間的なノイズや瞬間的にオープン状態になることに対して影響され難い検出ができる。

その結果、パワートランジスタの出力端子からモータの励磁コイルの他端までの間に断線があるときにそれが即座に検出できるのでパワートランジスタが破壊されるのを防止することができる。

発明を実施するための最良の形態

[0007] 図1は、この発明のモータドライブ回路のパワートランジスタ保護回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバのブロック図、図2は、パワート

ランジスタ保護回路の動作のタイミングチャートである。

図1において、10は、励磁コイルが4個のユニポーラ駆動のステッピングモータドライバICである。これには、単相駆動回路1a, 1b, 1c, 1dが設けられ、それぞれの出力端子2a, 2b, 2c, 2dにはステッピングモータ11の励磁コイル11a, 11b, 11c, 11dがそれぞれ接続されている。

これら励磁コイル11a, 11b, 11c, 11dは、電源(電池)12の電源ライン13に接続されてこれから電力供給を受ける。なお、各励磁コイル11a, 11b, 11c, 11dには、それぞれフライホイールダイオードDが並列に接続されている。

また、電源12は、端子2eを介してIC内部の電圧レギュレータ回路(REG)2に電力を供給して、REG2を介して内部電源ライン+VDDに安定化した所定の電圧、例えば、3Vの電力を各種の内部回路に送出する。

単相駆動回路1a, 1b, 1c, 1dは、それぞれ同一の回路で構成されているので、その詳細は単相駆動回路1aのみに示す。以下、単相駆動回路1aについて説明し、単相駆動回路1b, 1c, 1dは、同様であるのでその説明を割愛する。

[0008] 単相駆動回路1aについて説明すると、NチャネルMOSFETパワートランジスタ3と、パワートランジスタ保護回路4、電流制限回路5、そして基準電圧発生回路6とからなる。なお、説明の都合上、各単相駆動回路の電流制限回路5は、単相駆動回路1aの点線枠の外に出してある。

パワートランジスタ3は、ドレインが出力端子2aに接続され、出力端子2aに励磁電流を出力する。パワートランジスタ3のソース側は、端子2fを介してIC外部に取り付けられた出力電流検出用の抵抗Rsに接続され、これを介して接地されている。なお、出力端子2aの出力電流は、この出力端子2aに励磁コイル11aからシンクする電流となる。

パワートランジスタ保護回路4は、電池12の電源ライン12aと出力端子2aとのオープン状態を検出する端子オープン検出回路4aと断線検出回路4bとからなる。

端子オープン検出回路4aは、出力端子2aと前記励磁コイル11aの電源ライン13側の端子(他方の端子)との電圧を検出することでこれら端子間がオープン状態にあることを検出するものであって、抵抗分圧回路44と抵抗分圧回路45、そしてコンパレ

ータ46とからなる。抵抗分圧回路44は、出力端子2aとグランドGNDとの間に接続され、抵抗R1, R2からなる。抵抗分圧回路45は、端子2iを介して電源ライン13に一方が接続され、他方がグランドGNDに接続された抵抗R3, R4からなる。

コンパレータ46の(+)入力は、抵抗分圧回路44の抵抗の接続点に接続され、接続点の分圧電圧Vaを受ける。その(-)入力は、抵抗分圧回路45の抵抗の接続点に接続され、接続点の分圧電圧Vbを受ける。ここで、パワートランジスタ3の出力が発生してそれが所定の駆動電流値になったときには、出力端子2aがこの電流値に応じた電圧値になるので、 $V_a > V_b$ となる。このとき、コンパレータ46の出力は“H”から“L”となる。すなわち、コンパレータ46は、“L”のときに出力電流が発生していることを示す“L”有義の出力検出パルスが発生する(図2(d)参照)。この出力検出パルスは、端子オープン検出回路4aが出力端子2aと励磁コイル11aの他方の端子とが接続状態にあることを示すために出力する検出信号である。逆に言えば、この出力検出パルスは、これら端子がオープン状態にないことを示している。したがって、パワートランジスタ3が駆動電流の出力動作をしているときにこの出力検出パルスが発生しないときにはこれら端子がオープン状態になっていることになる。

ここで、図2(d)に示すように、分圧電圧Vbの電圧は、駆動電流の制限電流値に近い電圧値(5%〜20%低いところ)に設定されている。このようにパワートランジスタ3が駆動電流の出力動作をしているときに出力端子端子2aがオープン状態か否かの検出し、さらにその駆動電流が制限電流値に対応する電圧値に近いときに端子がオープン状態か否かの検出をするようにすれば、駆動電流がモータのコイルに流れ続けている関係から端子オープン状態の検出がノイズや瞬間的にオープン状態に影響され難くなる。

[0009] 断線検出回路4bは、コンパレータ4cと8進カウンタ4dとからなり、8進カウンタ4dは、クロック発生回路14から端子2hを介して送出されたクロックCLKを受ける。コンパレータ4cの(+)入力は、単相駆動回路1a, 1b, 1c, 1dに共通に設けられた基準電圧発生回路6から比較基準電圧VRを受け、(-)入力は、端子オープン検出回路4aから検出電圧信号を受ける。コンパレータ4cの出力は、8進カウンタ4dのリセット端子Rに接続されている。なお、基準電圧発生回路6は、レーザトリミング等によりその電



圧調整が可能になっている。この電圧調整により、単相駆動回路1a, 1b, 1c, 1dのそれぞれのコンパレータ4cがそれぞれにリセット信号を発生するようにその電圧VRが設定される。

なお、このリセット信号は、コンパレータ46の“H”から“L”となり、次に“H”に変化したときにコンパレータ4cが“H”から“L”に立下がるときの立下がりトリガ信号が利用される。

断線検出回路4bは、端子オープン検出回路4aから検出電圧信号を受けて、一定期間オープン状態が継続していることを8進カウンタ4dでクロックCLKをカウントすることで断線の検出をする。すなわち、断線検出信号は、8進カウンタ4dがカウント終了(8カウントか、それ以上カウントアップすること)することで発生する。これによりパワートランジスタ3が駆動電流の出力動作をしていない期間に断線検出信号を発生する。これにより断線検出信号は、パワートランジスタ3の動作中のノイズに影響されないで済む。

ところで、パワートランジスタ3を駆動するゲート駆動パルスの周期TGは、 $TG < 8 \times T$ であり、Tは、クロックCLKの周期である。ここでは、周期TGは、例えば、8進カウンタ4dの6カウント( $6 \times T$ )程度の周期に設定されている。

コンパレータ4cは、コンパレータ46が“L”の出力検出パルスを発生したときにのみ、“H”の出力パルス(リセットパルス)を発生して8進カウンタ4dをリセットする。これにより8進カウンタ4dは、“0”からそのカウントをスタートさせる。 $8 \times T$ より手前で次のゲート駆動パルスが発生するので、これにより、パワートランジスタ3の出力電流が発生する。これが発生する限りは、8進カウンタ4dはリセットされ続ける。その結果、8進カウンタ4dの8カウント終了信号は発生しない。

- [0010] ここで、電源ライン13側の励磁コイル11aの端子から接続端子2aまでの間で断線が発生したときには、抵抗分圧回路44の分圧電圧がグランドGND電位となるので、コンパレータ46が発生する出力検出パルスは、たとえゲート駆動パルスが発生しても、パワートランジスタ3に出力電流が発生しない場合には“H”のままとなる(図4(e)の後半波形参照)。そのため、コンパレータ4cの出力パルス(リセットパルス)は“L”のままとなり、8進カウンタ4dは、コンパレータ4cの出力パルスによってはリセットされない

。その結果、パワートランジスタ3の出力電流が発生していないときには、8進カウンタ4dの8カウント終了信号が発生することになる。この8カウント終了信号が断線検出信号とされる。

41は、駆動停止信号発生回路であって、オアゲート42とラッチ回路43とからなる。そして、単相駆動回路1a, 1b, 1c, 1dの8進カウンタ4dの最終段の8カウント終了信号“H”を断線検出信号としてオアゲート42を介してラッチ回路43が受ける。これによりラッチ回路43は、8カウント終了信号“H”を“1”を受けてこれの励磁コイル11aー11dについての論理和信号をクロックCLKに応じてラッチする。

断線検出信号(“1”)がラッチされたときには、ラッチ回路43からこの“1”が駆動停止信号SPとして相励磁信号生成回路9に加えられる。これにより相励磁信号生成回路9は、その動作を停止する。なお、ラッチ回路43のリセット端子Rにリセット信号“1”が端子RSを介して入力されると、ラッチ回路43の値は、“0”クリアされる。このラッチ回路43は、初期状態では、このリセット信号により“0”がセットされている。

そこで、電源ライン13側の励磁コイル11aの端子から接続端子2aまでの間で断線が発生したときには、8進カウンタ4dから8カウント終了信号(“H”)が断線検出信号として発生してラッチ回路43に“1”がラッチされ、相励磁信号生成回路9の動作が停止する。これにより、ステッピングモータドライバIC10、特にパワートランジスタ3は破壊されないで済む。

ところで、断線検出信号は、8進カウンタ4dのオーバーフロー信号やキャリー信号を使用してもよい。

- [0011] 電流制限回路5は、コンパレータ5a、そして、基準電圧発生回路5bとからなる。コンパレータ5aの(+)入力端子は、端子2fと接続され、基準電圧発生回路5bは、IC外部に設けられ、端子2gを介してコンパレータ5aの(-)入力端子に接続され、基準電圧VREFを(-)入力端子に加える。出力電流検出用の抵抗Rsの端子電圧(端子2fの電圧)をVsとすると、パワートランジスタ3の駆動電流(出力電流)が増加して、電圧Vsが基準電圧VREFを越えるような出力電流がパワートランジスタ3に発生したとき、言い換えれば、出力電流が規定値になったときに、コンパレータ5aは検出パルスSを発生する。この検出パルスSは、チョッピングパルス発生回路7に加えられて、“H”の

チョッピングパルスPをOFF(“H”から“L”)にするとともにOFFタイマ回路8を駆動する。これによりパワートランジスタ3はOFFになる(その動作については後述)。

チョッピングパルスPの停止時間(“L”の期間)は、OFF時間設定のOFFタイマ回路8によりカウントされて、一定期間後、例えば、15  $\mu$  sec後にチョッピングパルスPが“L”から“H”となる。このチョッピングパルスPは、例えば、30  $\mu$  sec〜50  $\mu$  sec程度の範囲で選択された期間の間“H”となるパルスである。すなわち、チョッピングパルスPは、“H”のパルスが検出パルスSに応じて“L”となり、一定時間後に“H”となることで、チョッピングパルスとして生成される。

その結果、電流制限回路5は、抵抗Rsの端子電圧Vsが電圧VREFを越えたときに駆動電流を停止させてパワートランジスタ3の出力電流を制限する。この点で電流制限回路5は、モータドライブ回路の過電流保護回路を兼ねるものとして設けられている。

- [0012] 定常状態で“H”のチョッピングパルスPは、相励磁信号生成回路9に送出されて、例えば、相励磁信号生成回路9においてアンドゲートにより単相駆動回路1aのゲート駆動パルスの“H”とアンド論理が採られて、パワートランジスタ3のゲートに出力される(図2(a), (b)参照)。そこで、パワートランジスタ3には、ゲート駆動パルスの“H”の期間、所定の周波数でこのトランジスタ3を遮断するチョッピングパルス(チョッピングパルスPに対応)が相励磁信号生成回路9から加えられることになる。チョッピングパルスPが“L”のときには、ゲート駆動パルスは“L”となり、パワートランジスタ3がOFFにされて、ステッピングモータ11の励磁コイル11aに対する駆動電流が停止する。

ここで、各励磁コイルにはフライホイールダイオードDが並列に設けられているので、各励磁コイル11a, 11b, 11c, 11dに流れるそれぞれの電流は、チョッピングパルスPが“L”のOFF期間にはフライホイールダイオードDを通して流れる。それは、チョッピングパルスPによるON期間とOFF期間との関係で決定される平均的な電流となる。

- [0013] ここでは、チョッピングパルス発生回路7とOFFタイマ回路8とは、単相駆動回路1a, 1b, 1c, 1dに対応して共通に設けられていて、これら回路により各単相駆動回路1a, 1b, 1c, 1dの励磁コイル駆動に対応してチョッピングパルスPがそれぞれに生成

され、相励磁信号生成回路9に送出される。

相励磁信号生成回路9は、各励磁コイルを単相駆動、1相-2相駆動、2相駆動等に応じて、単相駆動回路1a, 1b, 1c, 1dの各パワートランジスタ3のゲート駆動パルス所定のタイミングで生成する回路であって、“H”、“L”のゲート駆動パルスを発生する。さらに、駆動電流を制限するために各ゲートパルスの“H”の期間がそれぞれにそれぞれのチョッピングパルスPによりチョッピングされる。なお、チョッピングパルスPの周期は、クロックCLKの周期よりも小さい。

[0014] 図2は、パワートランジスタ保護回路4の動作のタイミングチャートである。

図2(a)は、単相駆動回路1aのゲート駆動パルスであり、これが“H”の期間の間、パワートランジスタ3がチョッピング駆動される。図2(b)は、そのチョッピングパルスPであり、これの“H”の期間の間、ステッピングモータ11の励磁コイル11aに対して駆動電流が流れるので、出力端子2aの出力電圧Voutは、図2(c)のようになる。

ここで、図2(a)のゲート駆動パルスに応じて単相駆動回路1aのパワートランジスタ3が出力電流を発生しているとする。この場合、コンパレータ46は、出力端子2aの電圧に応じてこれを分圧した分圧電圧Vaが分圧電圧Vb(図2(d)参照)を越えたときに“H”から“L”の出力となるので、図2(e)に示すように、図2(c)の出力端子2aの電圧Voutに応じて、その出力パルスは、“H”、“L”、“H”、“L”の出力検出パルスとなる。チョッピングパルスPの周期は、クロックCLKよりも小さいので、コンパレータ46の、この出力検出パルス“L”の出力パルスに応じて、コンパレータ4cは、“H”の出力(リセットパルス)を発生して8進カウンタ4dをリセットする。これにより、ラッチ回路43は、初期値“0”のままとなり、駆動停止信号SPは発生することなく、相励磁信号生成回路9は動作し続ける。

[0015] このとき発生しているコンパレータ46の“L”の最後の出力検出パルスは、図2(a)のゲート駆動パルスが落ちる手間のチョッピングパルスPに対応して発生している。そして次に発生するコンパレータ46の“L”の出力検出パルスは、次のゲート駆動パルスが発生してその最初のチョッピングパルスPに対応している。このときのコンパレータ46の“L”の出力検出パルスの発生期間は、8進カウンタ4dが8クロック分カウントする期間 $8 \times T$ より短い。したがって、電源ライン13の側の励磁コイル11aの端子から接続

端子2aまでの間に断線がない限りは、相励磁信号生成回路9に対する駆動停止信号SPはラッチ回路43から発生しない。なお、8進カウンタ4dのカウント期間は、前記の最後の出力検出パルスから次の最初の出力検出パルスまで以上長い期間があればよい。

一方、ステッピングモータ11との接続不良などにより電源ライン13側の励磁コイル11aの端子から接続端子2aまでの間に断線があるときには、ゲート駆動パルスに応じて単相駆動回路1aのパワートランジスタ3が駆動されても出力電流を発生しない。そこで、図2(c)に後半に示すように、出力端子2aの電圧 $V_{out}$ が発生しない。そのため分圧電圧 $V_a$ は $V_a \approx 0V$ になる。

- [0016] その結果、 $V_a < V_b$ となり、コンパレータ46から発生する出力検出パルスが“H”のままとなる。これにより8進カウンタ4dはリセットされることなく、クロックCLKをカウントする。そこで、次の出力電流が発生しなかったときには、コンパレータ46から“L”の出力検出パルスが発生しないので、8進カウンタ4dから8カウント終了信号(“H”)が発生してそれがオアゲート42を介してこれがラッチ回路43に“1”としてラッチされる。これにより、相励磁信号生成回路9の動作が停止するので、ステッピングモータドライバIC10は破壊されないで済む。

この場合、8進カウンタ4dからの8カウント終了信号(断線検出信号)は、次の出力電流発生する期間において、コンパレータ46から“L”の出力検出パルスが複数個分以上発生する期間以上の長さにするのが好ましい。そこで、ここでは、8進カウンタ4dの8カウント終了までの期間は、ここでは、各単相駆動回路1a, 1b, 1c, 1dのそれぞれにおいて、それぞれのゲート駆動パルスの発生周期より長い値に設定している。それによりゲート駆動パルスの1周期分以上に渡って端子オープン状態が連続することを検出できる。

なお、オアゲート42は、単相駆動回路1a, 1b, 1c, 1dの8進カウンタ4dの最終段から得られる8カウント終了信号(断線検出信号)を論理和で受けるので、単相駆動回路1a, 1b, 1c, 1dのいずれかの8進カウンタ4dにおいて8カウント終了信号(断線検出信号)が発生しても相励磁信号生成回路9の動作は停止する。

- [0017] 前記の実施例では、8進カウンタ4dのリセットから8進カウンタ4dのカウント終了まで

の期間を $8 \times T$ とし、これに対してゲート駆動パルスの周期 $TG$ を $6 \times T$ としている。そこで、端子オープン検出回路4aの接続状態を示す検出信号が1回発生しなければ端子オープン検出信号が発生したものとして断線検出回路4bにより断線と判断される。

しかし、この発明では、例えば、8進カウンタ4dを13進カウンタあるいはそれ以上のカウントをするカウンタとすることができる。この場合には、端子オープン検出回路4aの接続状態を示す検出信号が連続して複数回発生しなければ、端子オープン検出信号が連続して複数回発生したものとし、このときに初めて断線検出回路4bが断線と判定する。これにより断線の判定をより確実にすることができる。

言い換えれば、この発明としては、カウンタ4dのリセットからカウント終了までの期間をゲート駆動パルスの周期 $TG$ に対してこれの2倍を超えるようにして断線判定をするようにしてもよい。

なお、断線検出回路4bは、端子オープン検出信号が連続的に検出されなくても複数回検出されることをもって断線と判定してもよい。

[0018] ところで、実施例では、コンパレータ5aは、単相駆動回路1a、1b、1c、1dにそれぞれ設けられる構成となっているが、コンパレータ5aは、複数の単相駆動回路に共通に設けられていてもよい。この場合、例えば、単相駆動回路1a、1bのそれぞれのコンパレータ5aと、単相駆動回路1c、1dのそれぞれのコンパレータ5aとに対して出力電流値の検出抵抗 $R_s$ をそれぞれに共通化してトータルで2個とすることができる。

また、実施例では、コンパレータ5は、2つの(+)入力端子を持つもの1つでしているが、これは、コンパレータ5の内部回路をパラレルに2つのコンパレータで構成としてもよい。また、これは、(+)入力端子と(-)入力端子がそれぞれある2つあるコンパレータを使用してもよい。

さらに、実施例では、断線検出信号を $n$ 進カウンタのカウント終了信号としているが、この発明は、カウンタのカウント終了信号による必要はない。この発明における断線検出信号は、端子オープン検出回路の検出信号を受けてこれを受けたときの駆動電流の出力に対してその次に発生する駆動電流の出力までの期間よりも後であればよい。

また、実施例のパワートランジスタ $Tr$ は、MOSFETトランジスタであるが、これは、バイポーラトランジスタであってもよいことはもちろんである。

さらに、実施例では、ユニポーラ駆動のステッピングモータドライバICのモータ駆動回路について説明しているが、パワートランジスタの出力回路をプッシュ・プル動作の駆動回路として、バイポーラ駆動（正位相と逆位相の両波駆動）のステッピングモータドライバICにこの発明を適用してもよいことはもちろんである。

### 産業上の利用可能性

- [0019] 以上説明してきたが、実施例では、チョッピングパルス発生回路7とOFFタイマ回路8を介してパワートランジスタ3のOFF制御をしているが、パワートランジスタ3がOFFされる構成であれば、チョッピングパルス発生回路7やOFFタイマ回路8はこの発明にとって必ずしも必要な構成ではない。

さらに、実施例では、ステッピングモータドライバICについて説明しているが、規定の電流値でパワートランジスタをOFFして駆動電流を制限するような電流制限回路を有するドライブ回路であれば、どのような回路であってもこの発明は適用できる。

### 図面の簡単な説明

- [0020] [図1]図1は、この発明のモータドライブ回路のパワートランジスタ保護回路を適用した一実施例のユニポーラ駆動のステッピングモータドライバのブロック図である。  
[図2]図2は、パワートランジスタ保護回路の動作のタイミングチャートである。

### 符号の説明

- [0021] 1a, 1b, 1c, 1d…単相駆動回路、  
2a, 2b, 2c, 2d…出力端子、  
3…NチャネルMOSFETパワートランジスタ、  
4…パワートランジスタ保護回路、4a…端子オープン検出回路、  
4b…断線検出回路、4c, 4e…コンパレータ、  
4d…8進カウンタ、5…電流制限回路、  
5a…コンパレータ、6…基準電圧発生回路、  
7…チョッピングパルス発生回路、8…OFFタイマ回路、  
9…相励磁信号生成回路、

10…ステッピングモータドライバIC、  
11a, 11b, 11c, 11d…励磁コイル、  
12…電源、13…クロック発生回路、14…クロック発生回路、  
41…駆動停止信号発生回路、42…オアゲート、  
43…ラッチ回路、44, 45…抵抗分圧回路、  
Rs…抵抗、D…フライホイールダイオード。



## 請求の範囲

- [1] 出力端子を介してモータの励磁コイルに駆動電流を出力するパワートランジスタを複数の前記励磁コイルに対応して複数有するモータドライブ回路における前記パワートランジスタ保護回路において、
- 端子オープン検出回路と、断線検出回路と、駆動停止回路とを備え、
- 前記端子オープン検出回路は、前記出力端子に接続されていない各前記励磁コイルの他方の端子とこの他方の端子が接続されているラインとのいずれかの一方と前記他方の端子を持つ前記励磁コイルが接続されている前記出力端子あるいはこの出力端子が接続されているラインとのいずれかの他方との間に設けられかつ複数の前記パワートランジスタに対応してそれぞれ設けられ前記パワートランジスタが前記駆動電流の出力動作をしているときに前記いずれか一方と前記いずれか他方との間がオープン状態にあるか否かを検出するものであり、
- 前記断線検出回路は、前記端子オープン検出回路が前記いずれか一方と前記いずれか他方との間がオープン状態にないことを検出しかつその後にオープン状態にあることを検出したことにより断線状態を検出するものであり、
- 前記駆動停止回路は、この断線検出回路により断線状態が検出されたときに前記モータドライブ回路の駆動動作を停止させるパワートランジスタ保護回路。
- [2] 前記端子オープン検出回路は、前記いずれか一方と前記いずれか他方との間がオープン状態にあることあるいはオープン状態にないことのいずれかの一方の検出信号を発生し、前記断線検出回路は、複数の前記パワートランジスタのそれぞれに対応して複数設けられ、各前記断線検出回路は、自己に対応する前記パワートランジスタに対応して設けられた前記端子オープン検出回路から前記検出信号を受けて前記オープン状態にないことが検出された後にオープン状態にあることが検出されたときに断線状態と判定する請求項1記載のパワートランジスタ保護回路。
- [3] 前記端子オープン検出回路は、前記いずれか一方と前記いずれか他方との間の電圧を検出するものであり、前記検出信号は、前記オープン状態にないものとして前記接続状態を検出するものである請求項2記載のパワートランジスタ保護回路。
- [4] 前記断線検出信号は、前記パワートランジスタが前記駆動電流の出力動作をして

いるときにおいて前記検出信号を受けないことをもってその駆動電流の出力動作が終了した後に発生する請求項3記載のパワートランジスタ保護回路。

- [5] 各前記断線検出回路は、周期Tのクロックをnカウント(nは2以上の整数)するカウンタを有し、前記検出信号に応じて前記カウンタがリセットされ、このリセットから前記カウンタがnカウント終了するまでの期間がある前記駆動電流の出力から次に発生する前記駆動電流の出力までの期間よりも長く、前記カウンタのnカウント終了信号が前記断線検出信号とされる請求項4記載のパワートランジスタ保護回路。
- [6] 前記断線検出信号は、複数回前記検出信号を受けないことをもって発生する請求項4記載のパワートランジスタ保護回路。
- [7] 各前記端子オープン検出回路は、前記いずれか一方と前記いずれか他方との間の電圧を比較する第1のコンパレータを有し、この第1のコンパレータにより前記検出信号を検出パルスとして発生し、各前記断線検出回路は、前記検出パルスを所定の基準電圧と比較する第2のコンパレータを有し、この第2のコンパレータの出力に応じて前記カウンタをリセットする信号を発生する請求項5記載のパワートランジスタ保護回路。
- [8] 前記駆動停止回路は、オアゲートとラッチ回路とを有し、各前記断線検出回路から得られる各前記断線検出信号をそれぞれ前記オアゲートで受けて前記ラッチ回路にラッチし、前記ラッチ回路の出力に応じて前記パワートランジスタを駆動する信号を停止させる請求項6記載のパワートランジスタ保護回路。
- [9] 前記パワートランジスタは、前記出力端子からシンクする駆動電流を出力電流として発生し、前記他方の端子は電源ラインに接続され、前記いずれか一方の電圧は、前記電源ラインの電圧を第1の抵抗分圧回路により分圧した電圧であって、その電圧値は、前記駆動電流が制限されときの電圧値に近いものであり、前記いずれか他方の電圧は、前記出力端子の電圧を第2の抵抗分圧回路により分圧した電圧である請求項7記載の電流制限回路。
- [10] 出力端子を介してモータの励磁コイルに駆動電流を出力するパワートランジスタを複数の前記励磁コイルに対応して複数有するモータドライブ回路における前記パワートランジスタ保護回路において、

端子オープン検出回路と、断線検出回路と、駆動停止回路とを備え、

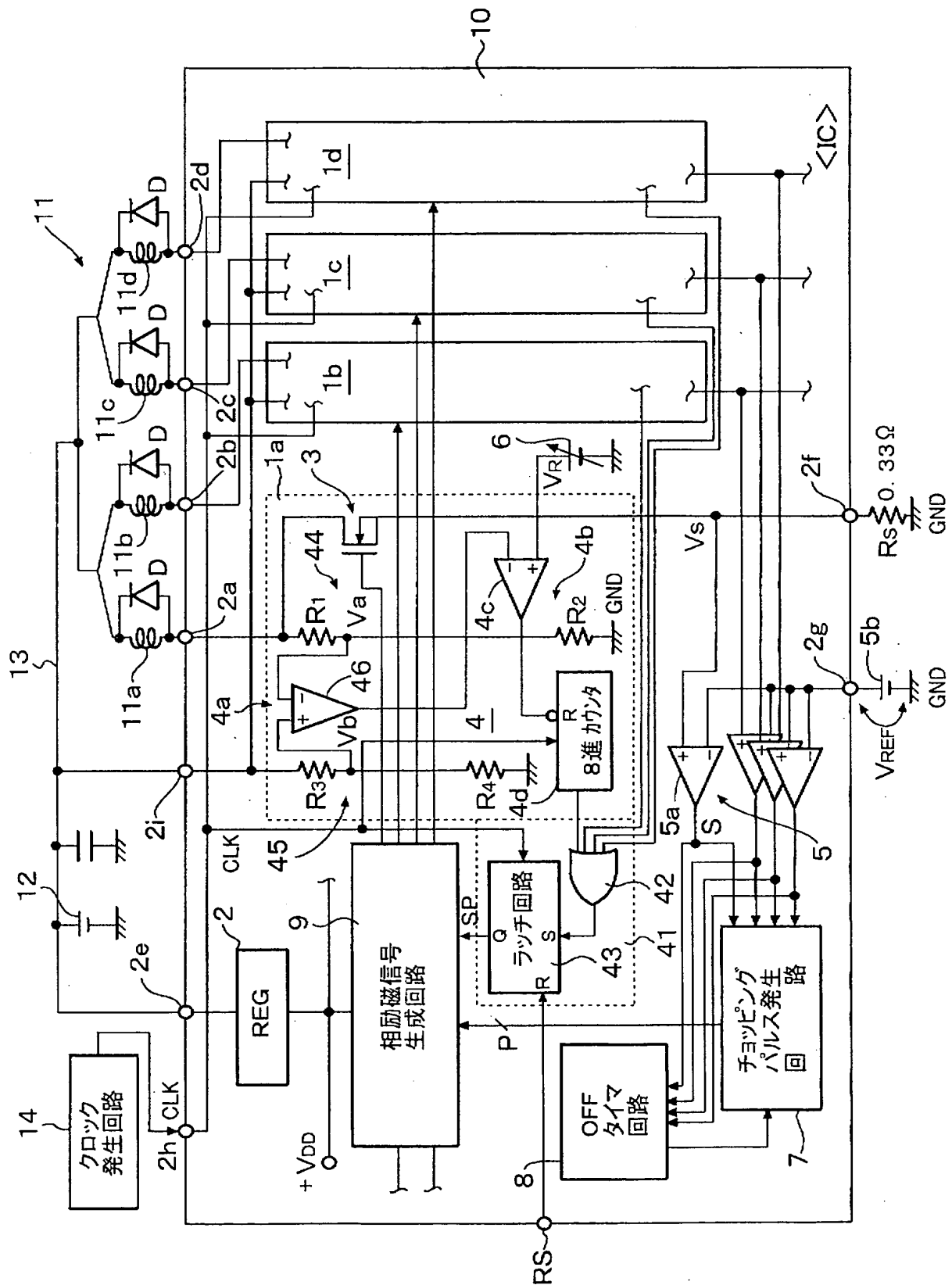
前記端子オープン検出回路は、前記出力端子に接続されていない各前記励磁コイルの他方の端子とこの他方の端子が接続されているラインとのいずれかの一方と前記他方の端子を持つ前記励磁コイルが接続されている前記出力端子あるいはこの出力端子が接続されているラインとのいずれかの他方との間に設けられかつ複数の前記パワートランジスタに対応してそれぞれ設けられ前記パワートランジスタが前記駆動電流の出力動作をしているときに前記いずれか一方と前記いずれか他方との間のオープン状態あるいは接続状態のいずれかを検出するものであり、

前記断線検出回路は、前記端子オープン検出回路による前記オープン状態あるいは前記接続状態のいずれかの検出に応じて複数回前記オープン状態が検出されたときに断線状態を検出するものであり、

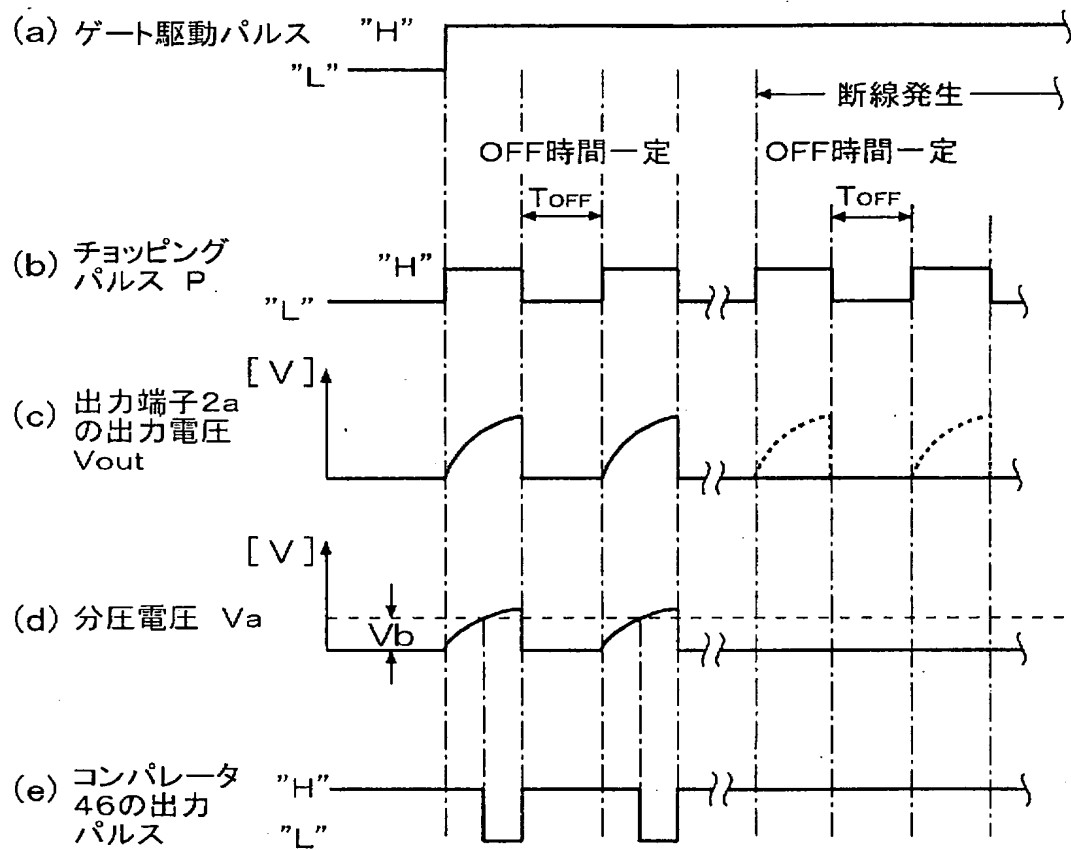
前記駆動停止回路は、この断線検出回路により断線状態が検出されたときに前記モータドライブ回路の駆動動作を停止させるパワートランジスタ保護回路。

- [11] 前記断線検出回路は、連続して前記複数回オープン状態にあることにより前記断線状態とする請求項10記載のパワートランジスタ保護回路。
- [12] 請求項1〜11のいずれかの項記載の前記パワートランジスタ保護回路を有する前記モータドライブ回路がIC化され前記パワートランジスタの前記出力電流によりモータが駆動されるモータドライブ回路。
- [13] 前記モータはステッピングモータである請求項12記載のモータドライブ回路。
- [14] 請求項12または13項記載のモータドライブ回路をIC化した半導体装置。

[図1]



[図2]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000118

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H02P7/00, 8/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H02P7/00, 8/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-257799 A (Toyota Motor Corp.), 25 September, 1998 (25.09.98), All pages (Family: none)	1-14
A	JP 7-99796 A (Fujitsu Ten Ltd.), 11 April, 1995 (11.04.95), Par. Nos. [0021] to [0024] (Family: none)	1-14
A	JP 2003-339190 A (Mitsubishi Electric Corp.), 28 November, 2003 (28.11.03), Par. Nos. [0001] to [0025] & US 2003-218443 A & DE 10254419 A & CN 1459922 A	1-14

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
05 April, 2005 (05.04.05)Date of mailing of the international search report  
19 April, 2005 (19.04.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000118

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-203599 A (Toyota Motor Corp.), 05 September, 1991 (05.09.91), Page 6, upper left column, line 1 to upper right column, line 8 (Family: none)	1-14

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H02P7/00, 8/00

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> H02P7/00, 8/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 10-257799 A (トヨタ自動車株式会社) 1998. 09. 25, 全ページ (ファミリーなし)	1-14
A	JP 7-99796 A (富士通テン株式会社) 1995. 04. 11, 段落【0021】 - 【0024】 (ファミリーなし)	1-14
A	JP 2003-339190 A (三菱電機株式会社) 2003. 11. 28, 段落【0001】 - 【0025】 & US 2003-218443 A, & DE 10254419 A, & CN 1459922 A	1-14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

05. 04. 2005

国際調査報告の発送日

19. 4. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

米山 毅

電話番号 03-3581-1101 内線 3358

3V

9324



C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 3-203599 A (トヨタ自動車株式会社) 1991. 09. 05, 6 ページ左上 欄 1 行ー同ページ右上欄 8 行 (ファミリーなし)	1-14